

PORTABLE TERMINAL EQUIPMENT

Patent Number: JP10145446
Publication date: 1998-05-29
Inventor(s): SHIMIZU KATSUHIKO
Applicant(s): KYOCERA CORP
Requested Patent: ☐ JP10145446
Application Number: JP19960308736 19961105
Priority Number(s):
IPC Classification: H04L29/00; H04B7/26
EC Classification:
Equivalents: JP3438061B2

Abstract

PROBLEM TO BE SOLVED: To provide a portable terminal equipment whose power consumption is reduced by stopping an oscillation circuit supplying an operating clock to a CPU when the CPU is set in the sleep mode.

SOLUTION: This terminal equipment is provided with a CPU 2 and an oscillation circuit 4 that generates an operating clock and makes communication in the time division system and has a sleep mode function of the CPU 2, and is provided with an oscillation control means (oscillation stop/restoration control circuit 1-1 and a clock supply control circuit 1-2) that starts/stops the oscillation circuit 4 and with an oscillation stable timer 1-3. When the portable terminal equipment enters the intermittent reception state during its communication and the CPU 2 is set to the sleep mode, the oscillation control means stops the oscillation circuit 4 to stop supply of the operating clock to the CPU 2 and the oscillation control means starts the oscillation circuit 4 in the case of receiving data. Then the oscillation stable timer 1-3 measures the initial unstable period of the oscillation circuit 4 and the oscillation control means supplies the operating clock to the CPU 2 after the lapse of the unstable period to restore the CPU to the usual mode.

Data supplied from the esp@cenet database - 12

(11)特許出願公開番号

(43)公開日 平成10年(1998)5月29日

X

本発明の携帯端末のCPU動作クロック処理部の構成

【特許請求の範囲】

【請求項1】 CPU、該CPUの動作クロックを発する発振回路を具備し、該CPUの制御により時分割方式で通信し、且つCPUのスリープモード機能を有する携帯端末であって、前記発振回路を起動／停止する発振制御手段及びタイマを設け、前記携帯端末が待ち受け状態において、間欠受信状態に入り前記CPUがスリープモードになるとき、前記発振制御手段で前記発振回路を停止して前記CPUへの動作クロックの供給を停止し、データを受信した際、前記発振制御手段で前記発振回路を起動し、前記タイマで該発振回路の初期の不安定期間を測定し該不安定期間を経過した後、前記発振制御手段で前記CPUへ動作クロックを供給し、該CPUを通常モードへ復帰させることを特徴とする携帯端末。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は携帯電話機等の携帯端末に関し、特に低消費電力化を図った携帯端末に関するものである。

【0002】

【従来の技術】 図3は一般的な携帯端末のブロック構成を示す図である。図示するように、携帯端末は基地局と交信するアンテナ31、高周波信号処理を行うRF部32、デジタルデータの処理を行うデジタル処理部33、押しボタン等を具備する操作部34及びマイク／スピーカ等を含むオーディオ部35等で構成されている。

【0003】 デジタル処理部33は高速のCPU（中央処理装置）を有し、音声信号の符号化／復号化、伝送路符号化／復号化、TDMAタイミング制御、プロトコル処理、クロック制御、マンマシンI/F制御等のデジタルデータの処理及び端末全体の制御を行う。

【0004】 PHS方式携帯電話機やPDC方式携帯電話機等の携帯端末では通常TDMA（時分割多重接続）方式が採られ、制御チャネルを使用して基地局と常時交信し、自分の所在を登録し基地局からの呼出しに応じている。しかし、常時、連続的に受信しているのではなく、例えばPDC方式携帯電話では基地局から間欠的に受信を行い、その間欠受信状態では最大36サブフレーム（1サブフレーム＝20ms）に1回6.6ms（＝1スロット）の受信期間の割合で受信を行い基地局と連絡している。

【0005】 従来より携帯端末はバッテリーを駆動電源とするものが多く、そのため極力消費電力が小さいことが望まれる。携帯端末における低消費電力化の一つとして、CPUでの処理が必要無い時にはCPUをスリープモードにして動作クロックの供給を停止、または、動作クロックの周波数を下げる方法が採られてきた。

【0006】

【発明が解決しようとする課題】 しかしながら、従来の携帯端末では間欠受信状態でCPUのスリープモード状態（動作停止）が長く続く場合でも、受信信号のタイミングに合わせる為、CPUの動作クロックまたはその源振となるクロックは常時発振していた。また、発振を停止すると発振再開した時、安定発振するまでに時間がかかりタイミングが合わない等の問題もありCPU動作クロック（数MHz～数10MHzの高い周波数のクロック）は常時発振しており、その発振回路により最大数mA程度の電流が消費され、駆動電源であるバッテリーの電力を浪費するという問題があった。

【0007】 本発明は上述の点に鑑みてなされたもので上記問題点を除去するために、CPUがスリープモード状態の時、該CPUに動作クロックを供給する発振回路を停止することにより消費電力を低減できる携帯端末を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記課題を解決するため請求項1に記載の発明は、CPU、該CPUの動作クロックを発する発振回路を具備し、該CPUの制御により時分割方式で通信し、且つCPUのスリープモード機能を有する携帯端末であって、発振回路を起動／停止する発振制御手段及びタイマを設け、携帯端末が待ち受け状態において、間欠受信状態に入りCPUがスリープモードになるとき、発振制御手段で発振回路を停止してCPUへの動作クロックの供給を停止し、データを受信した際、発振制御手段で発振回路を起動し、タイマで発振回路の初期の不安定期間を測定し該不安定期間を経過した後、発振制御手段でCPUへ動作クロックを供給し該CPUを通常モードへ復帰させることを特徴とする。

【0009】

【発明の実施の形態】 以下、本発明の実施の形態例を図面に基づいて詳細に説明する。図1は本発明の携帯端末のCPU動作クロック処理部の構成を示す図である。図示するように、本発明の携帯端末のCPU動作クロック処理部はクロック制御部1、CPU2、割込み処理部3、発振回路4及びTDMAタイミング制御回路5を具備する。この他に図示は省略するが、計時用の低周波クロックを発する低周波発振器及びTDMAタイミング制御回路用の発振器及び受信データバッファ等を具備する。

【0010】 クロック制御部1は発振停止／復帰制御回路1-1及びクロック供給制御回路1-2からなる発振制御手段、発振安定タイマ1-3を具備する。発振停止／復帰制御回路1-1はCPU2からクロック停止／復帰の指令を受け発振回路4の発振／停止を制御する。発振安定タイマ1-3は発振停止中に割込み発生を受けると低周波クロック（数10kHz）で安定するまでの時間を測定し、タイムアップをクロック供給制御回路1-2に知らせる。クロック供給制御回路1-2は発振回路

4の出力信号である動作クロック（数MHz～数10MHzの高い周波数のクロック）を受けCPU2へ供給すると共に、割込み処理部3の割込み制御回路3-2へ割込みイネーブル信号を送る。

【0011】割込み処理部3は割込み検出回路3-1、割込み制御回路3-2、OR回路3-3を具備し、割込み検出回路3-1は割込み要因からの信号を検出しOR回路3-3を介して発振安定タイマ1-3へ出力すると共に、割込み制御回路3-2を介してイネーブルであればCPU2へ割込み信号を送る。

【0012】TDMAタイミング制御回路5は間欠受信状態か否かを発振停止／復帰制御回路1-1に知らせると共に、受信終了時に割込み信号を割込み処理部3の割込み検出回路3-1へ送り受信タイミングを知らせる。

【0013】図2は本発明の携帯端末のCPU動作クロックの発振／停止を示すタイミングチャートである。以下、CPU動作クロックの停止／復帰シーケンスを説明する。（1）CPU2は実行中の処理を終了したところで、クロック制御部1の発振停止／復帰制御回路1-1へクロック停止指令を送りスリープモードに入る（CPUから発振停止設定）。一方、TDMAタイミング制御回路5は現在、間欠受信状態か否かを発振停止／復帰制御回路1-1に知らせる。

【0014】（2）発振停止／復帰制御回路1-1は前記CPU2からのクロック停止指令により、TDMAタイミング制御回路5が間欠受信状態であれば発振回路4を停止させ、クロック供給制御回路1-2はCPU2への動作クロック供給を停止する。間欠受信状態でなければCPU2への動作クロック供給の停止のみ行い、発振回路4の発振は継続したままである。

【0015】（3）間欠受信状態で受信すると（受信タイミング（a））データは受信データバッファ（図では省略）へ格納され、終了時にTDMAタイミング制御回路5は割込み信号を割込み処理部3の割込み検出回路3-1へ送り終了したことを知らせる。また、タイマ等によるシステムの周期的監視タイミングを知らせるための割込み等も割込み検出回路3-1へ入力される。該割込み検出回路3-1は割込み信号を受けると、OR回路3-3を介してクロック制御部1へ知らせる（割込み要因発生（b））。

【0016】（4）クロック制御部1は発振停止／復帰制御回路1-1により、発振回路4を起動しCPU動作クロックの発振を開始させる（CPU動作クロック

（c））と同時に発振安定タイマ1-3で発振安定時間の測定を開始する。発振安定タイマ1-3の動作には時計IC用クロック（32.768KHz）等の低い周波数のクロックを使用する。タイムアップ時、発振安定タイマ1-3はタイムアップ信号をクロック供給制御回路1-2へ出力する。間欠受信状態以外のときはCPU動作クロックは継続しているので、次は後述する（7）の

処理を行う。

【0017】（5）発振安定タイマ1-3のタイムアップ信号を受けてクロック供給制御回路1-2は割込み制御回路3-2へ信号を送り割込み出力を許可し、CPU2へ割込み信号を出力させてCPU2を起す（CPUへの割込み（d））。

【0018】（6）CPU2を起すのにタイミングを合わせて割込み制御回路3-2はCPU2へクロックを供給する（CPUへのクロック（e））。

【0019】（7）CPU2はクロック制御部1のクロック供給制御回路1-2からのクロック供給と、割込み処理部3の割込み制御回路3-2からの割込み信号によりスリープモードを解除して通常動作に復帰し、受信データバッファ（図では省略）へ格納されている受信データの処理及びその他の必要な処理を行う。処理終了後は上記（1）から繰り返す。

【0020】以上述べたように本実施の形態例では携帯端末が間欠受信状態でCPU2がスリープモードに入っているときは、CPU動作クロックを発振している発振回路4を停止し、CPU2へのクロック供給を停止するので、この期間の発振回路4の駆動電流（数mA）は減少し消費電力は低減される。なお、発振回路4の起動時は発振が不安定になるが発振安定タイマ1-3を設け安定になるまでの時間を測定し、発振が安定してからCPU2へ動作クロックを供給するので問題はない。

【0021】

【発明の効果】以上説明したように本発明によれば、下記のような優れた効果が期待される。発振制御手段及びタイマを設け間欠受信状態に入りCPUがスリープモードになるとき、CPUの動作クロックを発する発振回路の発振を停止して該CPUへの動作クロックの供給を停止し、データを受信した際、発振回路を起動し、初期の不安定期間をタイマで測定し、該不安定期間の経過後、CPUへ動作クロックを供給し通常モードへ入るのでCPUは安定して動作し、CPUがスリープモードの時は発振装置も停止しているので最大数mA程度の消費電流が低減できる。これはこの種の携帯端末に用いられるバッテリーの使用時間を10～20時間程度延ばす電力に相当する。

【図面の簡単な説明】

【図1】本発明の携帯端末のCPU動作クロック処理部の構成を示す図である。

【図2】本発明の携帯端末のCPU動作クロックの発振／停止を示すタイミングチャートである。

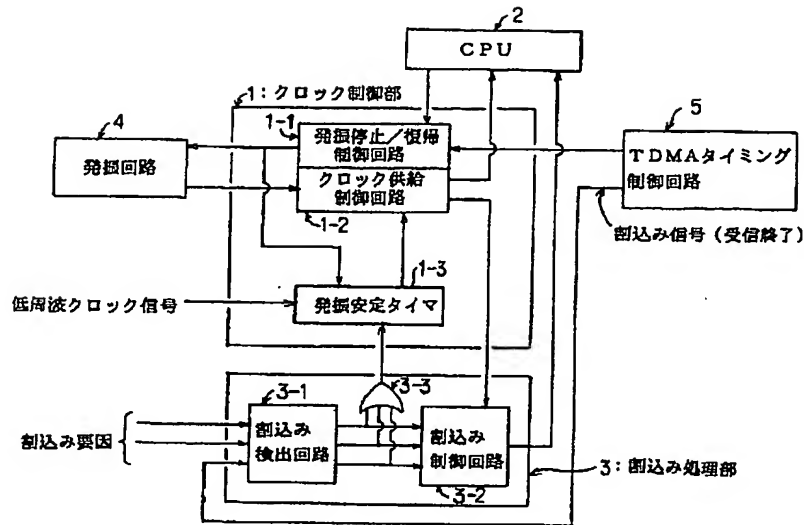
【図3】一般的な携帯端末のブロック構成を示す図である。

【符号の説明】

- | | |
|-----|-------------|
| 1 | クロック制御部 |
| 1-1 | 発振停止／復帰制御回路 |
| 1-2 | クロック供給制御回路 |

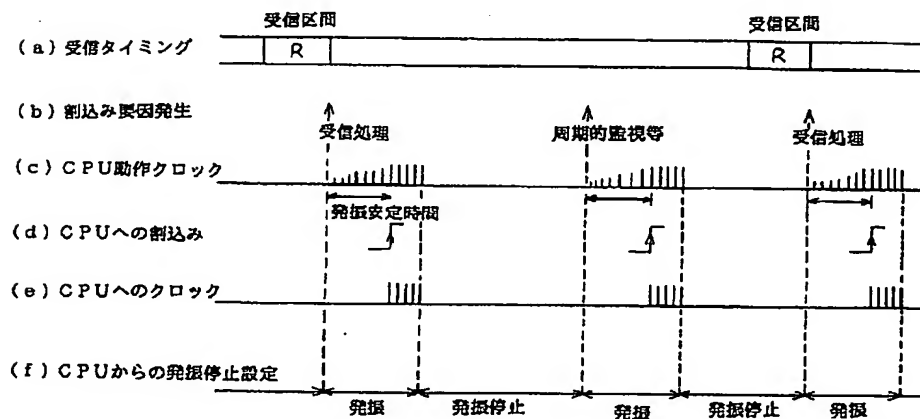
- | | | | |
|-----|---------|-----|---------------|
| 1-3 | 発振安定タイマ | 3-2 | 割込み制御回路 |
| 2 | CPU | 3-3 | OR回路 |
| 3 | 割込み処理部 | 4 | 発振回路 |
| 3-1 | 割込み検出回路 | 5 | TDMAタイミング制御回路 |

【図1】



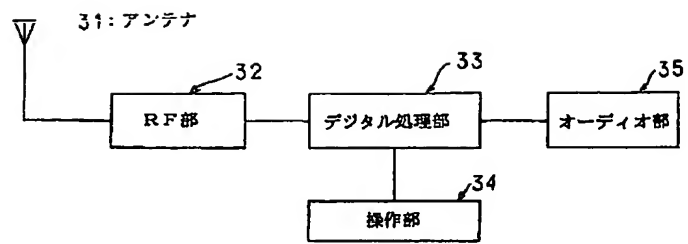
本発明の携帯端末のCPU動作クロック処理部の構成

【図2】



本発明の携帯端末のCPU動作クロックの発振/停止

【図3】



一般的な帯端末